



①⑨ **BUNDESREPUBLIK
DEUTSCHLAND**



**DEUTSCHES
PATENT- UND
MARKENAMT**

⑫ **Offenlegungsschrift**
⑩ **DE 198 53 703 A 1**

②① Aktenzeichen: 198 53 703.4
②② Anmeldetag: 20. 11. 1998
④③ Offenlegungstag: 25. 5. 2000

⑤ Int. Cl.⁷:
H 01 L 21/768

H 01 L 21/60
H 01 L 25/065
H 01 L 21/58
H 01 L 21/78
H 05 K 3/46
G 06 K 19/07

DE 198 53 703 A 1

⑦① Anmelder:
Giesecke & Devrient GmbH, 81677 München, DE

⑦② Erfinder:
Graßl, Thomas, Dr., 85354 Freising, DE

⑤⑥ Für die Beurteilung der Patentfähigkeit in Betracht
zu ziehende Druckschriften:

DE 195 16 487 C1
DE 43 14 907 C1
DE 197 16 102 A1
DE 44 33 845 A1
DE 44 33 833 A1

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

⑤④ Verfahren zur Herstellung eines beidseitig prozessierten integrierten Schaltkreises

⑤⑦ Verfahren zur Herstellung eines integrierten Schaltkreises, bei dem zunächst ein erstes Substrat mit einer Schaltungsstruktur und einer darüber angeordneten, aus einer oder mehreren Lagen bestehenden Metallisierungsstruktur mit Durchkontaktierungslöchern zur Waferrückseite hin versehen wird, wobei die Durchkontaktierungslöcher gegen die Schaltungsstruktur isoliert werden und über der Metallisierungsstruktur eine Planarisierungsschicht angeordnet wird und der auf diese Weise erhaltene erste Wafer auf einen Handlingwafer umgebondet wird, und das erste Substrat von der Rückseite her gedünnt wird, so daß die Durchkontaktierungslöcher offen sind bzw. die metallisierten Anschlüsse freiliegen.

Ein Problem bei der Herstellung von integrierten Schaltkreisen stellt die Verdrahtung dar, die bei immer kleiner werdenden Struktureinheiten und größerer Funktionalität immer komplexer werden, wodurch die Verdrahtung problematisch wird. Es ist daher Aufgabe der Erfindung, ein Verfahren anzugeben, mit dem eine Verdrahtung auch bei komplexen integrierten Schaltkreisen mit vertretbarem Aufwand und niedrigen Ausschußraten möglich ist.

Diese Aufgabe wird gelöst, indem auf der Chiprückseite eine zweite Metallisierungsstruktur erzeugt wird, welche mittels der Durchkontaktierungen mit der ersten Metallisierungsstruktur und/oder der Schaltungsstruktur verbunden wird.

DE 198 53 703 A 1

Beschreibung

Die Erfindung betrifft ein Verfahren zur Herstellung eines beidseitig prozessierten integrierten Schaltkreises, einen nach diesem Verfahren hergestellten Schaltkreis sowie ein Modul bzw. eine Chipkarte mit einem derart hergestellten Schaltkreis.

Ein besonderes Problem bei der Herstellung von integrierten Schaltkreisen im allgemeinen stellt die Verdrahtung dar, die bei immer kleiner werdenden Strukturbreiten und größerer Funktionalität immer komplexer wird. Dies führt dazu, daß bei der Verdrahtung der Chips die Metallisierung in mehreren Lagen erfolgt bzw. die Anzahl der Lagen mit steigender Chipkomplexität sich ständig erhöht. Es ergibt sich dabei die Schwierigkeit, daß nicht beliebig viele Metallisierungslagen übereinander angeordnet werden können.

Aus dem Stand der Technik sind vertikal integrierte Schaltkreise bekannt. Die vertikale Systemintegration stellt ein Verfahren zur Verfügung, bei dem ein Chip bzw. ein Wafer gedünnt und auf einen anderen Chip bzw. Wafer gebondet wird. Ein Verfahren zur Herstellung einer dreidimensionalen integrierten Schaltung ist beispielsweise aus der deutschen Offenlegungsschrift DE-OS 44 33 845 bekannt. Dort wird ein Verfahren angegeben, bei dem zwei fertig prozessierte und mit Metallisierungsstrukturen versehene Substrate miteinander verbunden werden. Die gedünnten Wafer werden in einzelne Chips zerlegt und auf das untere Substrat aufgebracht, wobei vor dem Zusammenfügen der Substrate zumindest eines der Substrate einem Funktionstest unterzogen wird, mit dem fehlerhafte Chips ausgesondert werden. Es wird dabei jeweils die Metallisierungsstruktur des unteren Wafers mit der Bauelementeebene des oberen Wafers verbunden, so daß ein integrierter Schaltkreis mit zwei oder mehreren voneinander unabhängig hergestellten Chips entsteht.

Der Nachteil dieser Verfahren besteht darin, daß jede Metallisierungsstruktur für einer Schaltkreisstruktur zugeordnet ist und beim Zusammenfügen der Strukturen eine hohe Justiergenauigkeit gefordert ist oder hohe Ausschußraten in Kauf genommen werden müssen.

Es ist daher Aufgabe der Erfindung, ein Verfahren anzugeben, mit dem eine Verdrahtung auch bei komplexen integrierten Schaltkreisen mit vertretbarem Aufwand und niedrigen Ausschußraten möglich ist bzw. einen integrierten Schaltkreis anzugeben, der nach diesem Verfahren hergestellt ist.

Diese Aufgabe wird durch ein Verfahren gemäß Anspruch 1 bzw. einen integrierten Schaltkreis nach Anspruch 13 gelöst. Vorteilhafte Ausgestaltungen der Erfindung sind in den abhängigen Ansprüchen angegeben.

Das Wesen der Erfindung besteht darin, daß ein fertig prozessierter Wafer, d. h. ein Substrat mit einer Schaltungsstruktur und einer darüber angeordneten, vorzugsweise aus mehreren Lagen bestehende Metallisierungsstruktur auf einen Handlingwafer umgebondet wird, nachdem die Struktur mit Durchkontaktierungslöchern zur Waferrückseite hin versehen wurde, welche gegen das Silizium isoliert wurden. Nach dem Umbonden wird das erste Substrat von der Rückseite her gedünnt, so daß die Durchkontaktierungslöcher offen sind bzw. die metallisierten Anschlüsse freiliegen. Auf der Chiprückseite wird nun eine zweite Metallisierungsstruktur erzeugt, welche mittels der Durchkontaktierung mit der ersten Metallisierungsstruktur verbunden wird.

Mit dem erfindungsgemäßen Verfahren kann ein integrierter Schaltkreis hergestellt werden, bei dem eine Schaltungsstruktur beidseitig mit einer Metallisierungsstruktur versehen wird. Durch die direkte Prozessierung auf der gedünnten Schaltungsstruktur ist der Aufwand für die Positio-

nierung nicht höher als bei der herkömmlichen, einseitigen Metallisierung. Auf diese Weise ist es möglich, eine Verdrahtung auch für sehr kleine Strukturbreiten zur Verfügung zu stellen bzw. eine derartige Verdrahtung zu ermöglichen.

Eine noch genauere Justierung und damit eine weitere Verringerung der Ausschußrate für die zweite Metallisierungsstruktur wird erreicht, wenn vor dem Dünnen des Substrats bzw. vor dem Umbonden auf den Trägerwafer Justiermarken geätzt werden, die von der Rückseite her erkennbar sind.

Um separate Verfahrensschritte für das Ätzen der Justiermarken und der Durchkontaktierungslöcher zu vermeiden ist es vorteilhaft, sowohl die Durchkontaktierungslöcher als auch die Justiermarken im gleichen Verfahrensschritt zu ätzen.

Im weiteren hat es sich als vorteilhaft erwiesen, die Durchkontaktierungslöcher vor dem Dünnen zu metallisieren. Auf diese Weise kann der Dünnprozeß bei Erreichen der Metallisierung der Durchkontaktierungslöcher beendet werden. Alternativ dazu kann die Metallisierung nach dem Dünnprozeß vorgenommen werden, wobei in diesem Fall der Dünnprozeß bei Erreichen der Durchkontaktierungslöcher beendet wird.

Beim beidseitigen Aufbringen von Metallisierungsstrukturen für die Verdrahtung bietet sich weiterhin für verschiedene sicherheitsrelevante Anwendungen die Möglichkeit, den Chip von beiden Seiten her mit einer Metallisierungsebene zu schützen, welche als Bohrschutz dient. Auf diese Weise kann ein sicherer Chip erzeugt werden, ohne daß zusätzliche Verfahrensschritte zum Aufbringen des Bohrschutzes notwendig werden.

Für umfangreichere Schaltungsstrukturen ist es sinnvoll, als ersten Wafer ein Substrat mit vergrabener Oxid-Schicht zu verwenden, wobei diese Oxid-Schicht eine isolierende Wirkung aufweist, so daß es möglich ist, auf beiden Seiten der Oxid-Schicht eine Schaltungsstruktur aufzubringen. Dabei kann nach dem Verfahrensschritt des Umbondens auf den ersten Handlingwafer die Rückseite des Substrats gedünnt werden, um anschließend auf dieser Rückseite eine zweite Schaltungsstruktur zu prozessieren. Im Anschluß an die Prozessierung der zweiten Schaltungsstruktur kann in vorteilhafter Weise mit der Prozessierung der Metallisierungsstruktur fortgefahren werden. Im Anschluß an die Prozessierung der Metallisierungsstruktur wird der Wafer auf der Rückseite planarisiert und auf einen zweiten Handlingwafer umgebondet, so daß mit der Prozessierung einer Metallisierungsstruktur auf der ersten Schaltungsstruktur fortgefahren werden kann. Dies ist dann erforderlich, wenn das Substrat mit vergrabener Oxid-Schicht nicht bereits zu Anfang mit einer Metallisierungsstruktur auf der ersten Schaltungsstruktur versehen war.

Die Durchkontaktierungslöcher werden bei der Struktur mit vergrabener Oxid-Schicht in vorteilhafter Weise vor dem Umbonden auf den ersten Handlingwafer durchgeätzt und metallisiert.

Es ist noch zu erwähnen, daß gemäß einer weiteren vorteilhaften Ausgestaltung der Erfindung der beidseitig prozessierte Wafer mit einem oder mehreren weiteren ein- oder beidseitig prozessierten Wafern zu einem Chipstapel verbunden werden kann.

Der unabhängige Anspruch 13 der Anmeldung beschreibt einen nach dem erfindungsgemäßen Verfahren hergestellten Schaltkreis. Dieser Schaltkreis weist einen Aufbau auf, bei dem über der Schaltungsstruktur eine ein- oder mehrschichtige Metallisierungsstruktur angeordnet ist und bei der im weiteren unterhalb der Schaltungsstruktur eine zweite Metallisierungsstruktur vorhanden ist. Die erste und zweite Metallisierungsstruktur sind mittels Inter-Chip-Verbindun-

gen miteinander verbunden.

Der integrierte Schaltkreis weist im weiteren vorteilhafte Ausgestaltungen auf, die sich aus den Verfahrensschritten ergeben. So kann der integrierte Schaltkreis beispielsweise beidseitig mit einer Bohrschutzschicht versehen sein, er kann weiterhin ein Substrat mit vergrabener Substratschicht und damit zwei unterschiedliche Schaltungsstrukturen beinhalten. Schließlich kann der erfindungsgemäße integrierte Schaltkreis mit weiteren integrierten Schaltkreisen, welche ebenfalls beidseitig prozessiert sind oder mit einseitig prozessierten Schaltkreisen bzw. Wafern oder Chips gestapelt werden.

Der unabhängige Anspruch 17 stellt ein Modul unter Schutz, welches zum Einbau in eine Chipkarte geeignet ist und einen integrierten Schaltkreis gemäß den Ansprüchen 13 bis 16 enthält.

Der weitere unabhängige Anspruch 21 stellt eine Chipkarte unter Schutz, welche einen integrierten Schaltkreis bzw. ein Modul nach der Erfindung beinhaltet.

Im folgenden wird die Erfindung anhand der Fig. 1 und 2 näher erläutert.

Es zeigen:

Fig. 1 die verschiedenen Herstellungsschritte eines integrierten Schaltkreises nach dem erfindungsgemäßen Verfahren (Fig. 1a-1g) und

Fig. 2 eine mögliche Herstellungsreihenfolge für einen integrierten Schaltkreis mit einem Substrat mit vergrabener Oxid-Schicht (Fig. 2a-2d).

Die Fig. 1a zeigt ein Ausgangssubstrat mit einer bereits prozessierten, d. h. mit einer Schaltungsstruktur versehenen Siliziumscheibe 1. Auf dieser Siliziumscheibe wurde bereits eine Metallisierungsstruktur 2 aufgebracht, welche die Verdrahtungselemente 3 enthält, die im Falle der Fig. 1a dreischichtig ausgeführt ist. Eine der Metallisierungsschichten, vorzugsweise die oberste, kann als Bohrschutzfolie ausgestaltet sein. Mit dieser Schicht kann erkannt werden, wenn der Versuch unternommen wird, die Metallisierungsschichten abzutragen, um den Inhalt der Schaltungsstruktur, beispielsweise eines Speichers, auszulesen.

Die Fig. 1b zeigt die Waferanordnung nach dem nächsten Verfahrensschritt, bei dem durch die Metallisierungsstruktur 2 Durchkontaktierungslöcher 4 bis in die Schaltungsstruktur 1 hinein geätzt wurden.

Die folgende Fig. 1c zeigt die Anordnung nach dem Isolieren der Durchkontaktierungslöcher 4 mit einer Isolierschicht 6 und nach der Metallisierung mit einem leitfähigen Material 5, welche die spätere elektrische Inter-Chip-Verbindung (ICV) herstellt. Die Metallisierung der Inter-Chip-Verbindung kann sich über die Metallisierungsstruktur 2 hinaus erheben und ist mit einem Anschluß einer Metallisierungsebene verbunden. Im weiteren enthält der Aufbau nach Fig. 1c eine Planarisierungsebene 7, welche dazu dient, die Oberfläche des Chips einzuebnen, um, wie in Fig. 1d gezeigt, einen Handlingwafer 8 mittels einer Klebeverbindung 9 aufzubringen.

Nachdem der soweit hergestellte integrierte Schaltkreis auf den Handlingwafer 8 aufgebracht wurde, kann die Rückseitenprozessierung wie in Fig. 1e dargestellt, beginnen. Der erste Schritt beinhaltet das Dünnen der Siliziumscheibe 1, welches in mehreren Schritten erfolgt. Der letzte Schritt des Dünnens besteht in einem Ätzvorgang, welcher gemäß der Ausführung nach Fig. 1 bei Erreichen der Metallisierung 5 gestoppt wird. Gemäß einer alternativen Variante sind die Durchkontaktierungslöcher in diesem Verfahrensstadium noch nicht metallisiert, so daß in diesem Fall der Ätzvorgang gestoppt wird, wenn die Metallisierungslöcher freiliegen.

In Fig. 1f ist der integrierte Schaltkreis dargestellt, nach-

dem die Rückseite des Siliziums 1 mit einer Metallisierungsstruktur 10 mit den Metallbahnen 11 prozessiert wurde. Die Prozessierung erfolgt durch ein schichtweises Aufbringen der Metallisierungsebenen, wobei hier eine Verbindung zwischen der Metallisierung 5 in den Durchkontaktierungslöchern 4 mit Anschlüssen der Metallisierungsstruktur 10 verbunden wurden. Zur Justierung können hierbei Justiermarken verwendet werden, die auf die gleiche Art wie die Durchkontaktierungslöcher 4 erzeugt werden. Auf diese Weise werden für die Prozessierung mit der Metallisierungsstruktur 10 die genauen Positionsdaten festgelegt.

Die Fig. 1g zeigt schließlich einen fertigen, beidseitig prozessierten Wafer nach Entfernen des Handlingsubstrats 8.

Die Fig. 2 zeigt die wichtigsten Herstellungs- bzw. Verfahrensschritte bei der Verwendung eines Substrats mit vergrabener Oxid-Schicht für das erfindungsgemäße Verfahren.

In Fig. 2a ist eine Siliziumscheibe 21 dargestellt, die mit einer vergrabenen Oxid-Schicht 22 versehen ist. Die vergrabene Oxid-Schicht 22 wird beispielsweise dadurch hergestellt, daß man in einen monokristallinen Siliziumsubstrat eine hohe Sauerstoffdosis implantiert, so daß eine vergrabene SiO_2 -Schicht entsteht, über der eine monokristalline Siliziumschicht angeordnet ist. In Fig. 2a sind weiterhin die Schaltungsstrukturen, welche bereits auf der Oberseite der vergrabenen Oxid-Schicht 22 angeordnet sind, durch die Wannen 23 symbolisiert. D. h. die Fig. 2a zeigt einen oberhalb der vergrabenen Oxid-Schicht prozessierten Wafer. In dieser Figur sind weiterhin Durchkontaktierungslöcher 25 angeordnet, welche vorzugsweise durch die vergrabene Oxid-Schicht in einem beispielsweise dreistufigen Ätzverfahren hergestellt wurden, bei dem verschiedene Materialien zum Ätzen verwendet wurden, welche zum einen das Ätzen im Silizium, zum anderen das Ätzen in der vergrabenen Oxid-Schicht erlauben. Im weiteren ist in der Fig. 2a eine Planarisierungsschicht 24 vorgesehen, welche vorzugsweise aus einem Planarisierungsoxid besteht.

In Fig. 2b ist ein Substrat dargestellt, welches bereits oberhalb der Planarisierungsebene 23 mit einem Handlingwafer 26 verbunden ist. Im weiteren ist das Substrat von der Rückseite her gedünnt bis zur Sollrestdicke. Die Siliziumscheibe mit Planarisierungsschicht weist typischerweise eine Dicke von ca. 20 μm auf.

Die Fig. 2c zeigt das Substrat 2b, nachdem die Inter-Chip-Verbindung 25 metallisiert wurde und die Rückseite des Siliziums, d. h. das Silizium unterhalb der Oxid-Schicht mit einer Schaltungsstruktur, angedeutet durch eine Wanne 27, prozessiert wurde. Im weiteren wurde im Anschluß an das Silizium eine Metallstruktur 28 aufgebracht, welche die Leiterbahnen und Kontaktflächen 29 beinhaltet.

Die Fig. 2d zeigt das Substrat nach dem Umbonden auf einen zweiten Handlingwafer 30 und nach Aufbringen der Metallisierungsstruktur 31.

Durch die Verwendung einer vergrabenen Oxid-Schicht im Silizium wird es in vorteilhafter Weise möglich, zwei, im wesentlichen voneinander unabhängige Schaltungsstrukturen zu erzeugen, und somit die Integrationsdichte und die Funktionalität des integrierten Schaltkreises zu erhöhen.

Im Anschluß an die Darstellung der Fig. 2d wird noch der Wafer 21, 20, 30 in einzelne Chips zersägt und der Handlingwafer 30 entfernt.

Patentansprüche

1. Verfahren zur Herstellung eines integrierten Schaltkreises, bei dem zunächst ein erstes Substrat mit einer Schaltungsstruktur (1) und einer darüber angeordneten, aus einer oder mehreren Lagen bestehenden Metallisie-

rungsstruktur (2, 3) mit Durchkontaktierungslöchern (4) zur Waferrückseite hin versehen wird, wobei die Durchkontaktierungslöcher (4) gegen die Schaltungsstruktur (1) isoliert werden und über der Metallisierungsstruktur (2, 3) eine Planarisierungsschicht (7) angeordnet wird und der auf diese Weise erhaltene erste Wafer auf einen Handlingwafer (8) umgebondet wird, und das erste Substrat von der Rückseite her gedünnt wird, so daß die Durchkontaktierungslöcher (4) offen sind bzw. die metallisierten Anschlüsse (5) freiliegen, **dadurch gekennzeichnet**, daß auf der Chiprückseite eine zweite Metallisierungsstruktur (10,11) erzeugt wird, welche mittels der Durchkontaktierungen (5) mit der ersten Metallisierungsstruktur (2, 3) und/ oder der Schaltungsstruktur (1) verbunden wird.

2. Verfahren nach Anspruch 1, dadurch gekennzeichnet, daß vor dem Dünnen des Substrats (1) bzw. vor dem Umbonden auf den Trägerwafer (8) Justiermarken geätzt werden, welche zumindest nach dem Dünnen der Substratrückseite erkennbar sind.

3. Verfahren nach Anspruch 2, dadurch gekennzeichnet, daß das Ätzen der Justiermarken gleichzeitig mit der Erzeugung der Durchkontaktierungslöcher (4) erfolgt.

4. Verfahren nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß die Durchkontaktierungslöcher (4) vor dem Dünnen metallisiert werden und der Dünnprirozß mit Erreichen der Metallisierung (5) der Durchkontaktierung beendet wird.

5. Verfahren nach einem der Ansprüche 1 bis 3, dadurch gekennzeichnet, daß die Durchkontaktierungslöcher (4) nach dem Dünnen metallisiert werden und der Dünnprirozß bei Erreichen der Durchkontaktierungslöcher (4) beendet wird.

6. Verfahren nach einem der Ansprüche 1 bis 5, dadurch gekennzeichnet, daß zumindest eine der beidseitig an der Schaltungsstruktur (1) angeordneten Metallisierungsstrukturen (2, 3, 10, 11) wenigstens eine Metallisierungsebene aufweist, welche als Bohrschutz dient.

7. Verfahren nach einem der Ansprüche 1 bis 6, dadurch gekennzeichnet, daß der erste Wafer über eine vergrabene Oxid-Schicht (22) mit isolierender Wirkung verfügt, wobei zumindest auf einer Seite der Oxid-Schicht eine Schaltungsstruktur (23) realisiert ist, welche mit den beidseitig angeordneten Metallisierungsstrukturen verbunden ist.

8. Verfahren nach Anspruch 7, dadurch gekennzeichnet, daß nach dem Umbonden auf einen ersten Handlingwafer (20) und Dünnen des Wafers auf der anderen Seite der Oxidschicht (22) eine zweite Schaltungsstruktur (27) erzeugt wird.

9. Verfahren nach Anspruch 8, dadurch gekennzeichnet, daß die Rückseite mit einer Metallisierungsstruktur (10, 11, 28, 29) prozessiert und planarisiert wird.

10. Verfahren nach einem der Ansprüche 7-9, dadurch gekennzeichnet, daß der so erzeugte Wafer auf einen zweiten Handlingwafer (30) umgebondet wird und die erste Schaltungsstruktur (23) mit einer Metallisierungsstruktur versehen wird.

11. Verfahren nach einem der Ansprüche 7-10, dadurch gekennzeichnet, daß die Durchkontaktierungslöcher (25) vor dem Umbonden auf den ersten Handlingwafer (20) durchgeätzt und metallisiert werden.

12. Verfahren nach einem der Ansprüche 1-11, dadurch gekennzeichnet, daß der beidseitig prozessierte Wafer mit einem oder mehreren weiteren ein- oder beidseitig prozessierten Wafern zu einem Chipstapel verbunden werden.

13. Integrierter Schaltkreis mit einem Substrat, welches eine Schaltungsstruktur (1) und eine über der Schaltungsstruktur angeordnete, ein- oder mehrschichtige Metallisierungsstruktur (2, 3) aufweist, **dadurch gekennzeichnet**, daß auf der anderen Seite der Schaltungsstruktur (1) eine zweite Metallisierungsstruktur (10,11) angeordnet ist, wobei die erste und zweite Metallisierungsstruktur mittels Inter-Chip-Verbindungen (4, 5) verbunden sind.

14. Integrierter Schaltkreis nach Anspruch 13, dadurch gekennzeichnet, daß mindestens eine Metallisierungsschicht wenigstens einer Metallisierungsstruktur (2, 3, 10, 11) eine Bohrschutzschicht ist.

15. Integrierter Schaltkreis nach Anspruch 13 oder 14, dadurch gekennzeichnet, daß die Schaltungsstruktur (1, 23, 27) auf einem Substrat mit vergrabener Oxidschicht (22) angeordnet ist, wobei die Schaltungsstruktur auf beide Seiten der Oxid-Schicht verteilt ist.

16. Integrierter Schaltkreis nach einem der Ansprüche 13-15, dadurch gekennzeichnet, daß er aus einem Chipstapel besteht, der aus einem beidseitig prozessierten integrierten Schaltkreis, der mit einem oder mehreren weiteren ein- oder beidseitig prozessierten Chips verbunden ist, gebildet ist.

17. Modul zum Einbau in eine Chipkarte mit einem integrierten Schaltkreis mit einem Substrat, welches eine Schaltungsstruktur und eine über der Schaltungsstruktur angeordnete, ein- oder mehrschichtige Metallisierungsstruktur aufweist, **dadurch gekennzeichnet**, daß auf der anderen Seite der Schaltungsstruktur eine zweite Metallisierungsstruktur angeordnet ist, wobei die erste und zweite Metallisierungsstruktur mittels Inter-Chip-Verbindungen verbunden sind.

18. Modul nach Anspruch 17 **dadurch gekennzeichnet**, daß mindestens eine Metallisierungsschicht wenigstens einer Metallisierungsstruktur des integrierten Schaltkreises eine Bohrschutzschicht ist.

19. Modul nach Anspruch 17 oder 18, **dadurch gekennzeichnet**, daß die Schaltungsstruktur des integrierten Schaltkreises auf einem Substrat mit vergrabener Oxidschicht angeordnet ist, wobei die Schaltungsstruktur auf beide Seiten der Oxid-Schicht verteilt ist.

20. Modul nach einem der Ansprüche 17-19, **dadurch gekennzeichnet**, daß der integrierte Schaltkreis aus einem Chipstapel besteht, der aus einem beidseitig prozessierten integrierten Schaltkreis, der mit einem oder mehreren weiteren ein- oder beidseitig prozessierten Chips verbunden ist, gebildet ist.

21. Chipkarte mit einem integrierten Schaltkreis bzw. einem Modul nach einem der Ansprüche 13-20.

Hierzu 4 Seite(n) Zeichnungen

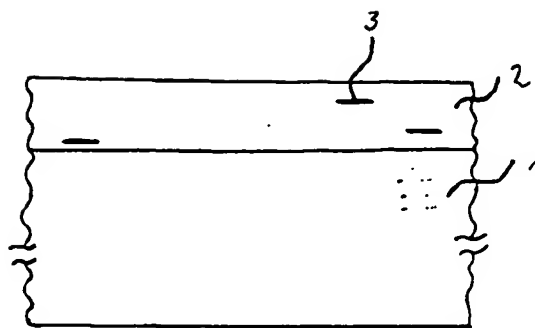


Fig. 1a

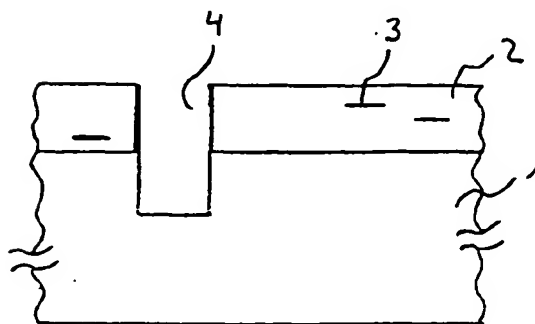


Fig. 1b

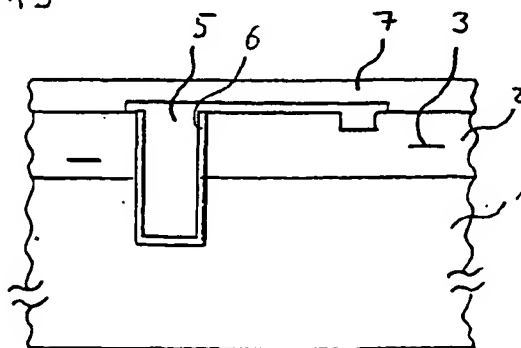


Fig. 1c

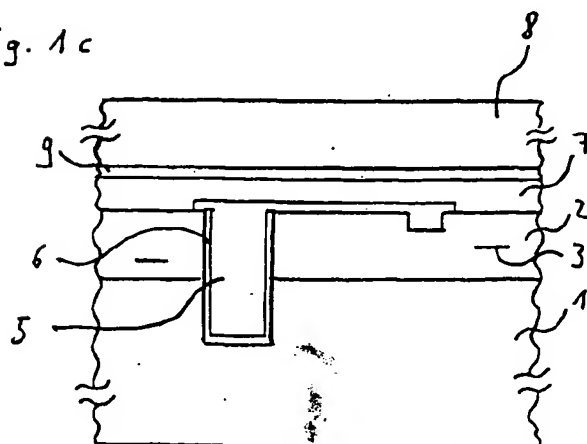
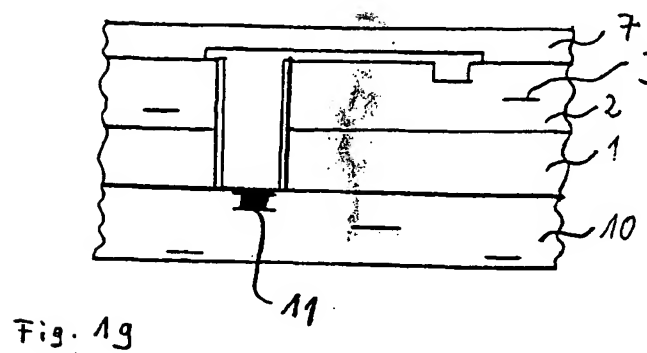
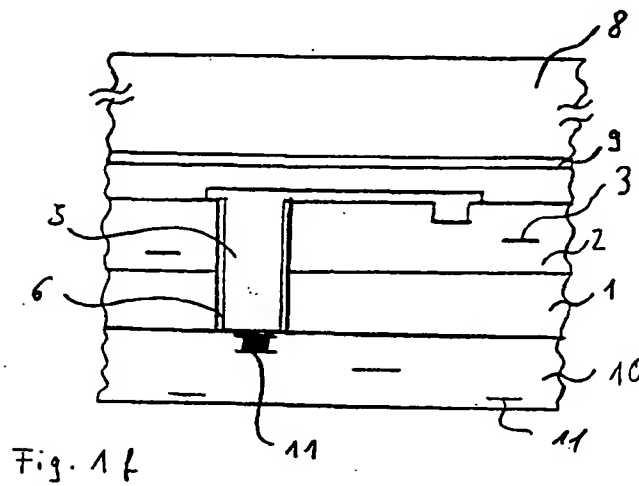
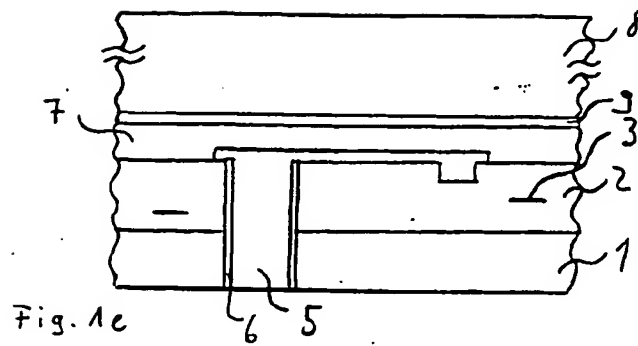


Fig. 1d



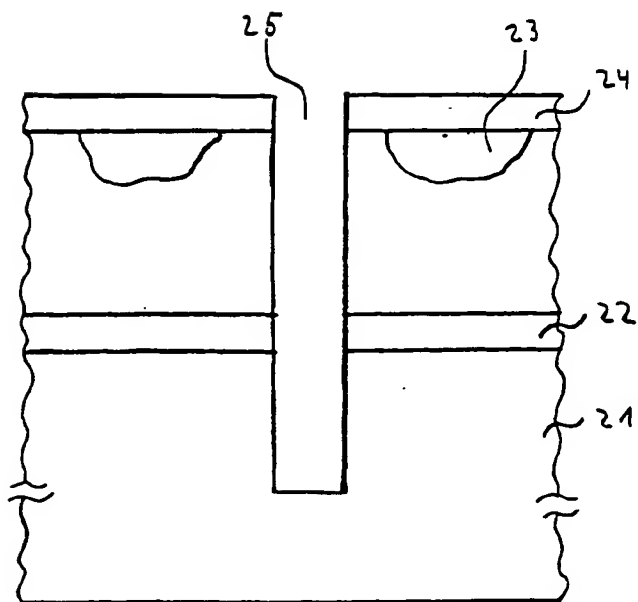


Fig. 2 a

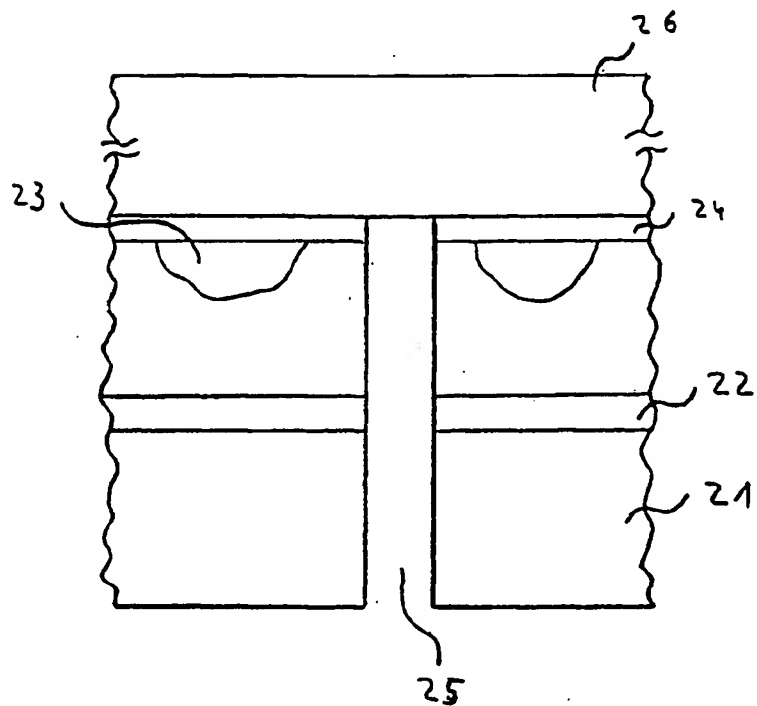


Fig. 2 b

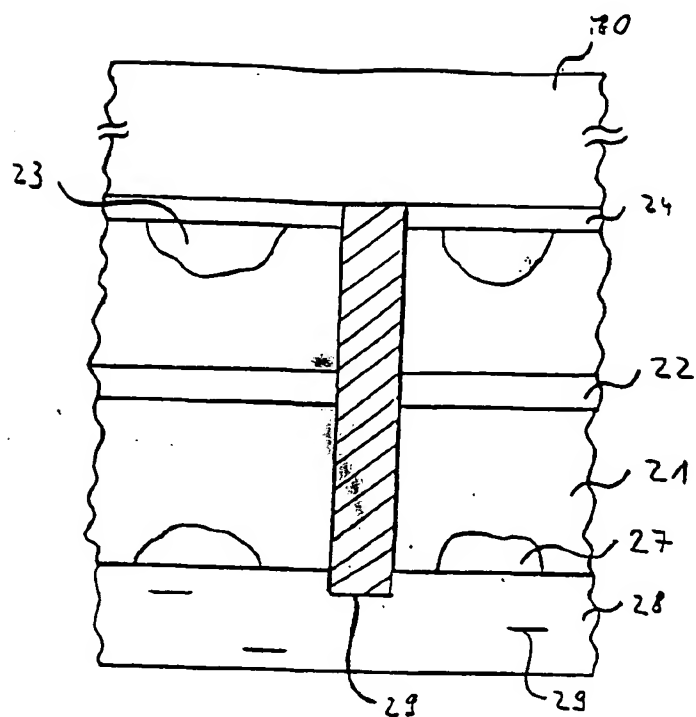


Fig. 2 c

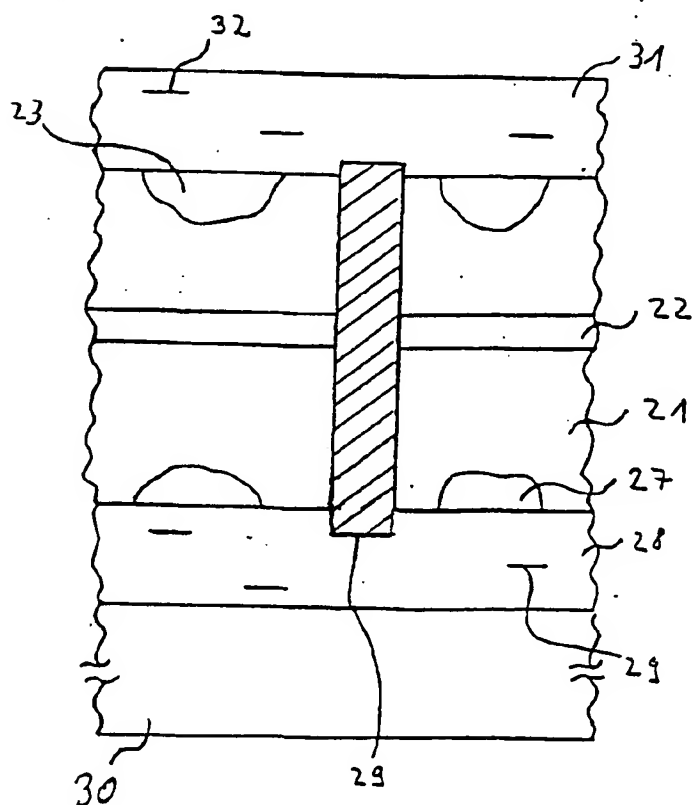


Fig. 2 d